

11.09.03

日本国特許庁
JAPAN PATENT OFFICE

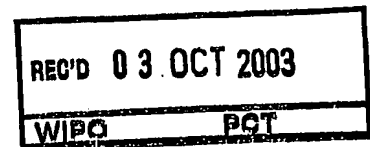
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月 8日

出願番号
Application Number: 特願2002-324613
[ST. 10/C]: [JP2002-324613]

出願人
Applicant(s): ソニー株式会社

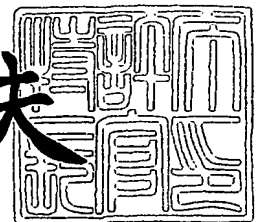


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 9月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3072942

【書類名】 特許願

【整理番号】 0290543204

【提出日】 平成14年11月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 和田 和司

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 原田 耕一

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 佐藤 充

【発明者】

 【住所又は居所】 東京都港区赤坂 8 丁目 5 番 2 6 号 赤坂 D S ビル 株式
 会社メイテック内

 【氏名】 大塚 修司

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100089875

 【弁理士】

 【氏名又は名称】 野田 茂

 【電話番号】 03-3266-1667

【先の出願に基づく優先権主張】

【出願番号】 特願2002-235125

【出願日】 平成14年 8月12日

【手数料の表示】

【予納台帳番号】 042712

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、

前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、

前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有し、

前記転送部の下層領域のポテンシャルは、前記転送部の最小ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成されている、

ことを特徴とする固体撮像素子。

【請求項 2】 前記オーバーフローバリアが前記半導体基板の表面から $3\ \mu\text{m}$ 以上の深い位置に形成されていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 前記半導体基板は第 1 導電型半導体基板の上層に高低抗層を設けて構成され、前記高低抗層の深部に前記オーバーフローバリアを形成するための第 2 導電型ウェル領域が設けられ、前記第 2 導電型ウェル領域の上層に前記画素及び転送部が設けられ、さらに画素間のクロストークを防止するチャンネルストップ領域が形成されていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 4】 前記転送部の下層領域に部分的な第 2 導電型ウェル領域を形成することにより、前記転送部の下層領域のポテンシャルが、前記転送部の最大ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成されていることを特徴とする請求項 3 記載の固体撮像素子。

【請求項 5】 前記第 1 導電型が N 型であり、前記第 2 導電型が P 型であることを特徴とする請求項 3 記載の固体撮像素子。

【請求項 6】 半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、

前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、

前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有し、

前記転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、前記光電変換部のオーバーフローバリアにおけるポテンシャルより小さく形成されている、

ことを特徴とする固体撮像素子。

【請求項 7】 前記オーバーフローバリアが前記半導体基板の表面から 3 μ m 以上の深い位置に形成されていることを特徴とする請求項 6 記載の固体撮像素子。

【請求項 8】 前記半導体基板は第 1 導電型半導体基板の上層に高低抗層を設けて構成され、前記高低抗層の深部に前記オーバーフローバリアを形成するための第 2 導電型ウェル領域が設けられ、前記第 2 導電型ウェル領域の上層に前記画素及び転送部が設けられ、さらに画素間のクロストークを防止するチャンネルストップ領域が形成されていることを特徴とする請求項 6 記載の固体撮像素子。

【請求項 9】 前記第 2 導電型ウェル領域のうち前記光電変換部に対応する領域に部分的な低濃度領域を形成することにより、前記転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、前記光電変換部のオーバーフローバリアにおけるポテンシャルより小さく形成されていることを特徴とする請求項 8 記載の固体撮像素子。

【請求項 10】 前記第 1 導電型が N 型であり、前記第 2 導電型が P 型であることを特徴とする請求項 8 記載の固体撮像素子。

【請求項 11】 半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、

前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、

前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有する固体撮像素子の製造方法であって、

前記半導体基板に前記オーバーフローバリアを形成するための第2導電型ウェル領域を設ける工程と、

前記転送部の下層領域に部分的な第2導電型ウェル領域を形成する工程とを有し、

前記部分的な第2導電型ウェル領域により、前記転送部の下層領域のポテンシャルを、前記転送部の最小ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成するようにした、

ことを特徴とする固体撮像素子の製造方法。

【請求項12】 前記第1導電型がN型であり、前記第2導電型がP型であることを特徴とする請求項11記載の固体撮像素子の製造方法。

【請求項13】 半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、

前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、

前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有する固体撮像素子の製造方法であって、

前記半導体基板となる第1導電型半導体基板に前記オーバーフローバリアを形成するための第2導電型ウェル領域を設ける工程を有し、

前記第2導電型ウェル領域を設ける際に、前記光電変換部に対応する領域に部分的な低濃度領域を形成することにより、前記転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルを、前記光電変換部のオーバーフローバリアにおけるポテンシ

ルより小さく形成するようにした、

ことを特徴とする固体撮像素子の製造方法。

【請求項 14】 前記第 2 導電型ウェル領域を設ける際に、第 2 導電型ウェル領域の全体に対して第 2 導電型不純物を注入するとともに、前記光電変換部に対応する領域に対して第 1 導電型不純物を注入することにより、前記部分的な低濃度領域を形成することを特徴とする請求項 13 記載の固体撮像素子の製造方法。

【請求項 15】 前記第 2 導電型ウェル領域を設ける際に、第 2 導電型ウェル領域の全体に対して第 2 導電型不純物を注入するとともに、前記前記転送部、及び隣接する画素の中間部に対応する領域に対して第 2 導電型不純物を注入することにより、前記部分的な低濃度領域を形成することを特徴とする請求項 13 記載の固体撮像素子の製造方法。

【請求項 16】 前記第 1 導電型が N 型であり、前記第 2 導電型が P 型であることを特徴とする請求項 13 記載の固体撮像素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板に光電変換部を用いた複数の画素と、この画素によって生成した信号電荷を転送する CCD 転送部とを設けた固体撮像素子に関し、特に光電変換部で生成した過剰電荷を半導体基板の裏面方向に排出するための縦形オーバーフローバリア構造を有する固体撮像素子に関する。

【0002】

【従来の技術】

従来より、この種の固体撮像素子として画素をマトリクス状に配置した 2 次元 CCD イメージセンサが知られている。

図 8 は、従来の 2 次元 CCD イメージセンサの一般的な構成例を示す平面図である。

この 2 次元 CCD イメージセンサは、半導体基板（Si 基板、半導体チップ）10 上に設けた撮像領域 20 内に、それぞれ画素となる光電変換部としてのフォ

トセンサ（フォトダイオード）22を2次元配列で配置し、各フォトセンサ列毎に複数の垂直転送レジスタ24及びチャネルストップ領域26を配置し、さらに、撮像領域20の外側に水平転送レジスタ32及び出力部34を設けたものである。

なお、撮像領域20の外側は、バスライン等を配置した周辺領域21となっている。

【0003】

各フォトセンサ22で生成された信号電荷は、垂直転送レジスタ24に読み出されて各フォトセンサ列毎に垂直方向に転送され、順番に水平転送レジスタ32に出力される。

水平転送レジスタ32では、垂直転送レジスタ24によって転送された各フォトセンサ22の信号電荷を各行毎に水平方向に転送し、出力部34に順次出力する。

出力部34では、水平転送レジスタ32によって転送された信号電荷を順次電圧信号に変換し、増幅等を施して出力する。

また、チャネルストップ領域26は、隣接する各フォトセンサ列間の信号の漏洩を阻止している。

【0004】

また、図9は、図8に示す2次元CCDイメージセンサの内部素子構造を示す断面図であり、図8のa-a断面を示している。

図示のように、半導体基板（Si基板）10の上層に、フォトセンサ22、垂直転送レジスタ24、及びチャネルストップ領域26が形成され、半導体基板10の上面には、絶縁膜（シリコン酸化膜）42を介して垂直転送レジスタ24の転送電極（ポリシリコン膜）44が配置され、その上層に遮光膜46が装着されている。

この遮光膜46には、フォトセンサ22の受光領域に対応して開口部46Aが形成され、この開口部46Aを通して光がフォトセンサ22に入射される。

【0005】

また、フォトセンサ22は、上層のP+層22Aと下層のN層22Bを有し、

P+層 22A に光電変換で発生した正孔が取り込まれ、N層 22B に信号電荷が生成される。

このN層 22B で生成された信号電荷は、N層 22B の下層に形成される空乏層に蓄積され、フォトセンサ 22 と垂直転送レジスタ 24 との間に設けられた読み出しゲート部の動作によってフォトセンサ 22 から垂直転送レジスタ 24 側に読み出される。

【0006】

また、半導体基板 10 の内部領域には、各フォトセンサ 22 で生成された信号電荷をN層 22B の下部領域に貯留するためのオーバーフローバリア (OFB) 28 が設けられている。

このオーバーフローバリア 28 は、半導体基板内の不純物分布を調整することにより、半導体基板 10 の内部領域にポテンシャルによるバリアを形成し、信号電荷の漏洩をせき止めるものである。また、過大光量の入射時には、フォトセンサ 22 で過剰に生成された信号電荷が、このオーバーフローバリア 28 を越えて半導体基板 10 の裏側に排出されるようになっている。

【0007】

【発明が解決しようとする課題】

ところで、上述のようなCCD固体撮像素子では、単位画素の小型化に伴い、単位面積あたりの感度を向上させる技術の開発が急務となっている。

そして、その1つの手段として、従来はSi基板表面から3 μ m程度に形成しているオーバーフローバリアを、より深い位置 (たとえば5 μ m~10 μ m) に形成することが考えられる。

【0008】

この状態で従来通りの垂直転送レジスタのポテンシャルを形成すると、その分布は図10及び図11に示すようなものとなる。

すなわち、図10はフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ、横軸は基板表面からの深さを示している。そして、実線Aはフォトセンサ部分のポテンシャル分布、破線Bは垂直転送レジスタ部分のポテンシャル分布を示している。

また、図11はフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X軸が水平方向、Y軸がポテンシャル深さ方向、Z軸が基板の深さ方向をそれぞれ示し、X軸とY軸で構成される面が基板表面を示している。

なお、これらの図10及び図11において、図10の縦軸及び図11のY軸は、上から下に向かってポテンシャルが高いことを意味している。また、各軸に付した目盛りの数値は、便宜的に調整 (Coordinate) した値である。

【0009】

そして、このようなポテンシャル分布では、基板の深い部分において、フォトセンサのポテンシャルの位置と垂直転送レジスタの下層部分のポテンシャルの位置が等しくなってしまう。

したがって、このような状態では、センサ領域で光電変換された電荷が横方向 (図11中の矢印Dで示す) に拡散してしまい、隣接画素のセンサ領域に入り込む、クロストークと呼ぶ問題が発生するという問題がある。

【0010】

そこで本発明の目的は、オーバーフローバリアを基板の深部に設けた場合にも、隣接する画素間のクロストークを有効に防止することが可能な固体撮像素子を提供することにある。

【0011】

【課題を解決するための手段】

本発明は前記目的を達成するため、半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有し、前記転送部の下層領域のポテンシャルは、前記転送部の最小ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成されていることを特徴とする。

【0012】

また本発明は、半導体基板上に設けられ、入射光量に応じて電荷を生成する光

電変換部を含む複数の画素と、前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有し、前記転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、前記光電変換部のオーバーフローバリアにおけるポテンシャルより小さく形成されていることを特徴とする。

【0013】

また本発明は、半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有する固体撮像素子の製造方法であって、前記半導体基板となる第1導電型半導体基板に前記オーバーフローバリアを形成するための第2導電型ウェル領域を設ける工程を有し、前記第2導電型ウェル領域を設ける際に、前記転送部の下層領域に部分的な高濃度の第2導電型ウェル領域を形成することにより、前記転送部の下層領域のポテンシャルを、前記転送部の最大ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成するようにしたことを特徴とする。

【0014】

また本発明は、半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有する固体撮像素子の製造方法であって、前記半導体基板となる第1導電型半導体基板に前記オーバーフローバリアを形成するための第2導電型ウェル領域を設ける工程を有し、前記第2導電型ウェル領域を設ける際に、前記光電変換部の下層領域に部分的な低濃度の第2導電型ウ

エル領域を形成することにより、前記転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルを、前記光電変換部のオーバーフローバリアにおけるポテンシャルより小さく形成するようにしたことを特徴とする。

【0015】

本発明の固体撮像素子及びその製造方法では、転送部の下層領域のポテンシャルが、その最小ポテンシャル位置からオーバーフローバリアまでの間で、光電変換部の下層領域のポテンシャルより小さくなることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部側に漏洩するのを防止できる。

したがって、転送部やチャネルストップ領域の下層領域を通じての信号電荷の漏洩による各画素間のクロストークを防止でき、画質の劣化を招くことなく、蓄積電荷量の増大による感度の向上を実現することが可能となる。

【0016】

また、本発明の固体撮像素子及びその製造方法では、転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、光電変換部のオーバーフローバリアにおけるポテンシャルより小さくなることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部や画素側に漏洩するのを防止できる。

したがって、転送部やチャネルストップ領域の下層領域を通じての信号電荷の漏洩による各画素間のクロストークを防止でき、画質の劣化を招くことなく、蓄積電荷量の増大による感度の向上を実現することが可能となる。

【0017】

【発明の実施の形態】

以下、本発明による固体撮像素子の実施の形態例について説明する。

図1は、本発明の第1の実施の形態例による2次元CCDイメージセンサの内部素子構造を示す断面図である。なお、本例における2次元CCDイメージセンサの平面方向の素子配列は図8に示した従来例と共通であり、図1は図8のa-

a断面を示すものである。

図1に示すように、本例のイメージセンサは、図9に示すものと同様に、半導体基板（Si基板）110の上層に、フォトセンサ122、垂直転送レジスタ124、及びチャネルストップ領域126が形成され、半導体基板110の上面には、絶縁膜（シリコン酸化膜）142を介して垂直転送レジスタ124の転送電極（ポリシリコン膜）144が配置され、その上層に遮光膜146が装着されている。

この遮光膜146には、フォトセンサ122の受光領域に対応して開口部146Aが形成され、この開口部146Aを通して光がフォトセンサ122に入射される。

【0018】

そして、フォトセンサ122は、上層のP+層122Aと下層のN層122Bを有し、P+層122Aに光電変換で発生した正孔が取り込まれ、N層122Bに信号電荷が生成される。

このN層122Bで生成された信号電荷は、N層122Bの下層に形成される空乏層に蓄積され、フォトセンサ122と垂直転送レジスタ124との間に設けられた読み出しゲート部の動作によってフォトセンサ122から垂直転送レジスタ124側に読み出される。

なお、本例では、P+層122Aの下に1層のN層122Bを設けた構成を示しているが、基板110の深い位置にオーバーフローバリア及び空乏層を形成する構成の場合、N層122Bの下層に低濃度のN-層を設けた構成とすることも可能である。

【0019】

また、半導体基板110の内部領域には、各フォトセンサ122で生成された信号電荷をN層122Bの下部領域に貯留するためのオーバーフローバリア（OFB）128が設けられている。

このオーバーフローバリア128は、半導体基板内の不純物分布を調整することにより、半導体基板110の内部領域にポテンシャルによるバリアを形成し、信号電荷の漏洩をせき止めるものである。また、過大光量の入射時には、フォト

センサ 122 で過剰に生成された信号電荷が、このオーバーフローバリア 128 を越えて半導体基板 110 の裏側に排出されるようになっている。

なお、半導体基板 110 は、N 型基板 110A の上層に所定の方法（例えばエピタキシャル成長）で高抵抗層 110B を設け、この高抵抗層 110B に各種素子を形成したものであり、N 型基板 110A と高抵抗層 110B の境界付近にオーバーフローバリア 128 が形成される。

このオーバーフローバリア 128 は、例えば、基板 110 の表面から $5\mu\text{m}$ ～ $10\mu\text{m}$ の深さ位置に形成されているものとする。

【0020】

そして、本例においては、垂直転送レジスタ 124 及びチャネルストップ領域 126 の下層領域の所定位置に、部分的な P 型領域 150 が形成され、この P 型領域 150 によって垂直転送レジスタ 124 及びチャネルストップ領域 126 の下層領域におけるポテンシャルが調整され、垂直転送レジスタ 124 の最大ポテンシャル位置からオーバーフローバリア 128 までの間で、フォトセンサ 122 の下層領域のポテンシャルより小さく（すなわち、低く）形成されている。

図 2 は、フォトセンサ 122 及び垂直転送レジスタ 124 の各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ、横軸は基板表面からの深さを示している。そして、実線 A はフォトセンサ部分のポテンシャル分布、破線 B は垂直転送レジスタ部分のポテンシャル分布を示している。なお、各軸の単位は任意に設定できるものである。

また、図 3 は、フォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X 軸が水平方向、Y 軸がポテンシャル深さ方向、Z 軸が基板の深さ方向をそれぞれ示し、X 軸と Y 軸で構成される面が基板表面を示している。なお、各軸の単位は任意に設定できるものである。

また、これらの図 2 及び図 3 において、図 2 の縦軸及び図 3 の Y 軸は、上から下に向かってポテンシャルが高いことを意味している。

【0021】

上述した図 10 及び図 11 に示す従来例のポテンシャル分布では、基板の深い部分において、フォトセンサのポテンシャルの位置と垂直転送レジスタの下層部

分のポテンシャルの位置が等しくなっていたが、本例では、図2及び図3に示すように、垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルが、垂直転送レジスタ124の最小ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャルより小さく（すなわち、低く）形成されている（なお、図ではポテンシャルの低い方が、高い位置に線が示される）。

したがって、本例の状態では、センサ領域で光電変換された電荷は、両側の垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルが低いため、このポテンシャルバリアに遮られて、容易に拡散できない状態となり、隣接画素のセンサ領域に漏洩しにくくなることから、クロストークを有効に防止できることになる。

【0022】

次に、このような第1の実施の形態例によるポテンシャル分布を得るための製造方法の一例について簡単に説明する。

まず、半導体基板110（N型基板110A）の上層（すなわち、基板表面からオーバーフローバリアまでの間）に例えばエピタキシャル成長によって100Ω以上の高抵抗基板（高抵抗層110B）を形成する。

また、半導体基板110の表面からボロン等のP型不純物をイオン注入することにより、オーバーフローバリア128となるP型領域を形成する。

また、垂直転送レジスタ124及びチャネルストップ領域126の下層部分の深い位置（オーバーフローバリア128よりも上層）に、P型不純物をイオン注入することにより、P型領域150を形成する。

このようにして、高抵抗層110B中に部分的な高濃度のP型領域150を形成することができる。ただし、これは一例であり、種々の方法が利用できる。

【0023】

次に、本発明の第2の実施の形態例について説明する。

上述した第1の実施の形態例では、全体的なクロストーク抑制効果は得られるものの、図2に示したように、フォトセンサ部のポテンシャルと垂直転送レジスタのポテンシャルがオーバーフローバリアの深さ位置で一致しているため、この

部分で電荷の漏洩が生じる可能性がある。

そこで、本発明の第2の実施の形態例では、より有効なバリア効果を発揮するために、上述したオーバーフローバリアを形成するためのP型ウェル領域のうち、フォトセンサ部（光電変換部）に対応する領域に部分的な低濃度領域を形成することにより、垂直転送レジスタ（転送部）のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、フォトセンサ部のオーバーフローバリアにおけるポテンシャルより小さくなるようにし、オーバーフローバリアでの電荷の漏洩をさらに完全に防止するようにしたものである。

【0024】

図4は、本発明の第2の実施の形態例による2次元CCDイメージセンサの内部素子構造を示す断面図である。なお、図1に示すものと共通の構成要素については同一符号を付して説明は省略する。また、本例における2次元CCDイメージセンサの平面方向の素子配列は図8に示した従来例と共通であり、図4は図8のa-a断面を示すものである。

本例のイメージセンサにおいても、半導体基板（Si基板）110を構成するN型基板110Aと高抵抗層110Bとの境界付近にオーバーフローバリア160が形成されているが、このオーバーフローバリア160を形成するP型領域は、フォトセンサ122に対応する領域に部分的な低濃度領域162が形成されており、その他の領域は通常濃度領域164となっている。

これにより、垂直転送レジスタ124のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、フォトセンサ122のオーバーフローバリアにおけるポテンシャルより小さく（すなわち、低く）なっている。

【0025】

図5は、フォトセンサ122、垂直転送レジスタ124、及び隣接画素の中間部の各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ、横軸は基板表面からの深さを示している。そして、実線Aはフォトセンサ部分のポテンシャル分布、破線Bは垂直転送レジスタ部分のポテンシャル分布を示している。

ル分布、一点破線Cは隣接画素の中間部のポテンシャル分布を示している。なお、各軸の単位は任意に設定できるものである。

また、図6は、フォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X軸が水平方向、Y軸がポテンシャル深さ方向、Z軸が基板の深さ方向をそれぞれ示し、X軸とY軸で構成される面が基板表面を示している。なお、各軸の単位は任意に設定できるものである。

また、これらの図5及び図6において、図5の縦軸及び図6のY軸は、上から下に向かってポテンシャルが高いことを意味している。

【0026】

上述した図2及び図3に示す第1の実施の形態例のポテンシャル分布では、フォトセンサ部のポテンシャルと垂直転送レジスタのポテンシャルがオーバーフローバリアの深さ位置で一致していたが、本例では、図5及び図6に示すように、垂直転送レジスタ124のオーバーフローバリア160におけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリア160におけるポテンシャルが、フォトセンサ122のオーバーフローバリア160におけるポテンシャルより小さくなる（図5及び図6にポテンシャル差Gで示す）ようにし、オーバーフローバリア160での電荷の漏洩をさらに完全に防止し、クロストークの抑制効果と感度向上効果を得ることができる。

【0027】

なお、オーバーフローバリア160の不純物濃度に差を持たせることにより、第1の実施の形態例で説明した部分的なP型領域150を設けることなく、オーバーフローバリア160の不純物濃度によって垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルが調整され、垂直転送レジスタ124の最大ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャルより小さく（すなわち、低く）形成されている。また逆に第1の実施の形態例と併用して実施することも可能である。その他は、上述した第1の実施の形態例と共通であるので説明は省略する。

【0028】

次に、このような第2の実施の形態例によるポテンシャル分布を得るための製造方法の2つの例について簡単に説明する。

上述のようなオーバーフローバリア160の濃度分布を得るには、オーバーフローバリア全体に対する通常濃度のP型不純物のイオン注入とフォトセンサ122の対応領域へのN型不純物のイオン注入とを組み合わせる方法（第1の方法）と、オーバーフローバリア全体に対する低濃度のP型不純物のイオン注入とフォトセンサ122の対応領域への低濃度のP型不純物のイオン注入とを組み合わせる方法（第2の方法）とを用いることができる。

【0029】

まず、第1の方法を図4に基づき説明する。

この方法では、オーバーフローバリア160を形成する全体領域に対して従来と同様の濃度でP型不純物のイオン注入を行う。次に、フォトセンサ122の対応領域へN型不純物のイオン注入を行うことにより、この部分のP型不純物濃度を緩和し、低濃度領域162を形成する。その他の領域は通常濃度領域164となる。

【0030】

次に、第2の方法を図7に基づき説明する。

まず、図7（A）において、オーバーフローバリア160を形成する全体領域に対して低濃度でP型不純物のイオン注入を行い、不純物領域160Aを形成する。

次に、図7（B）において、フォトセンサ122の対応領域を除く、垂直転送レジスタ124と画素中間部の対応領域に対し、2回目の低濃度のP型不純物のイオン注入を行うことにより、この部分のP型不純物濃度が通常濃度となり、通常濃度領域164となる。

また、2回目のイオン注入を行わなかったフォトセンサ122の対応領域は、低濃度のままであり、これが低濃度領域162となる。

なお、1回目のイオン注入と2回目のイオン注入のドーズ量の比率は、フォトセンサ部のオーバーフローバリアのポテンシャルをどの程度深くするかで決めることになる。

このような第2の方法では、同じP型不純物を注入するため、不純物による飛程差（ボロン＞燐＞ヒ素）を配慮することなく、イオン注入を行うことが可能であり、その分、より深い位置までオーバーフローバリアを容易に形成することができる利点がある。

【0031】

なお、以上の例は、本発明を2次元イメージセンサについて説明したが、本発明は、これに限定されるものではなく、CCDを用いた他の固体撮像素子についても同様に適用し得るものである。

また、以上の例は、光電変換部で生成した電子を扱う場合について説明したが、同様に正孔を扱う構成に適用してもよい。この場合には、各半導体領域のPとNの極性やポテンシャルの極性が逆になる。すなわち、本発明におけるポテンシャルの大小（高低）は絶対値を基準とする意味であるものとする。

【0032】

【発明の効果】

以上説明したように本発明の固体撮像素子及びその製造方法によれば、転送部の下層領域のポテンシャルが、その最小ポテンシャル位置からオーバーフローバリアまでの間で、光電変換部の下層領域のポテンシャルより小さくなることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部側に漏洩するのを防止できる。

また、本発明の固体撮像素子及びその製造方法によれば、転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、光電変換部のオーバーフローバリアにおけるポテンシャルより小さくなることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部や画素側に漏洩するのを防止できる。

この結果、半導体基板の深い位置にオーバーフローバリアを形成したことに伴うクロストークの発生をなくして画質の劣化を防止しつつ、各画素における蓄積電荷量の増大を図ることができ、感度の向上を実現できる効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態例による 2 次元 CCD イメージセンサの素子構造を示す断面図である。

【図 2】

図 1 に示す 2 次元 CCD イメージセンサのフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図である。

【図 3】

図 1 に示す 2 次元 CCD イメージセンサのフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図である。

【図 4】

本発明の第 2 の実施の形態例による 2 次元 CCD イメージセンサの素子構造を示す断面図である。

【図 5】

図 4 に示す 2 次元 CCD イメージセンサのフォトセンサ、垂直転送レジスタ及び画素間部の各基板断面におけるポテンシャルの分布を示す説明図である。

【図 6】

図 4 に示す 2 次元 CCD イメージセンサのフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図である。

【図 7】

図 4 に示す 2 次元 CCD イメージセンサのオーバーフローバリアの形成方法を示す断面図である。

【図 8】

従来の 2 次元 CCD イメージセンサの素子配置を示す平面図である。

【図 9】

図 8 に示す 2 次元 CCD イメージセンサの素子構造を示す断面図である。

【図 10】

図 8 に示す 2 次元 CCD イメージセンサのフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図である。

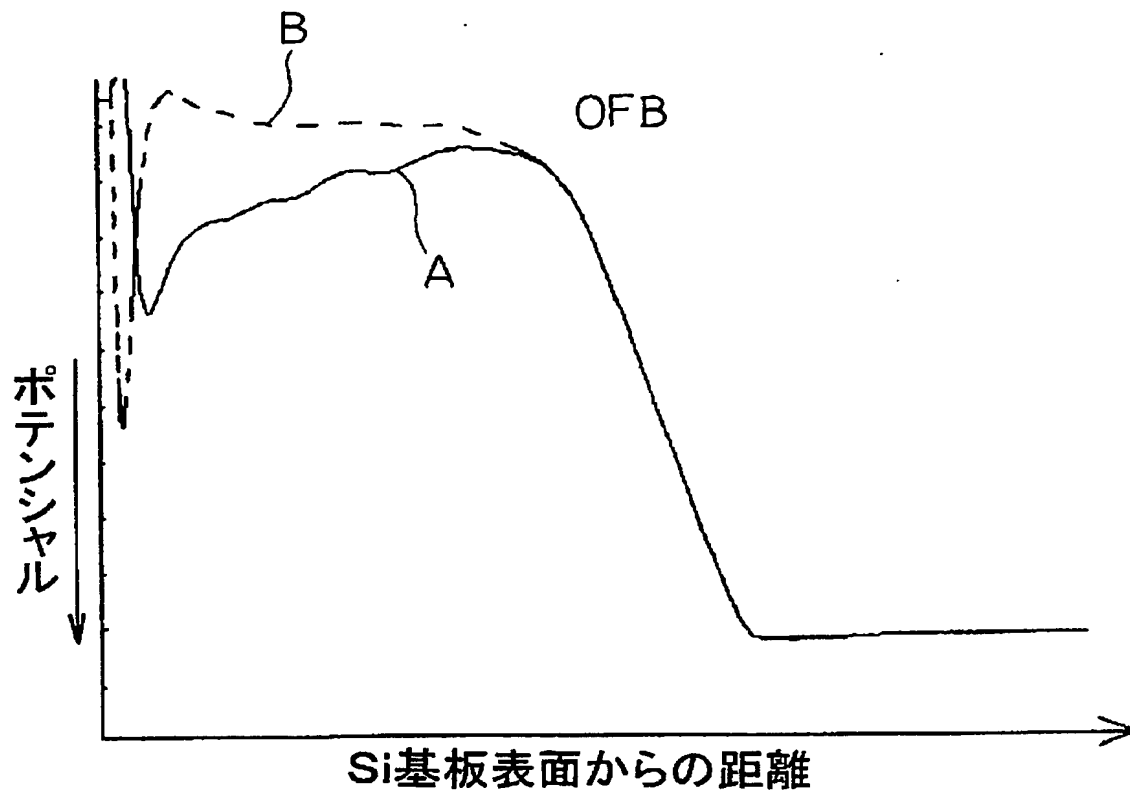
【図 11】

図 8 に示す 2 次元 C C D イメージセンサのフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図である。

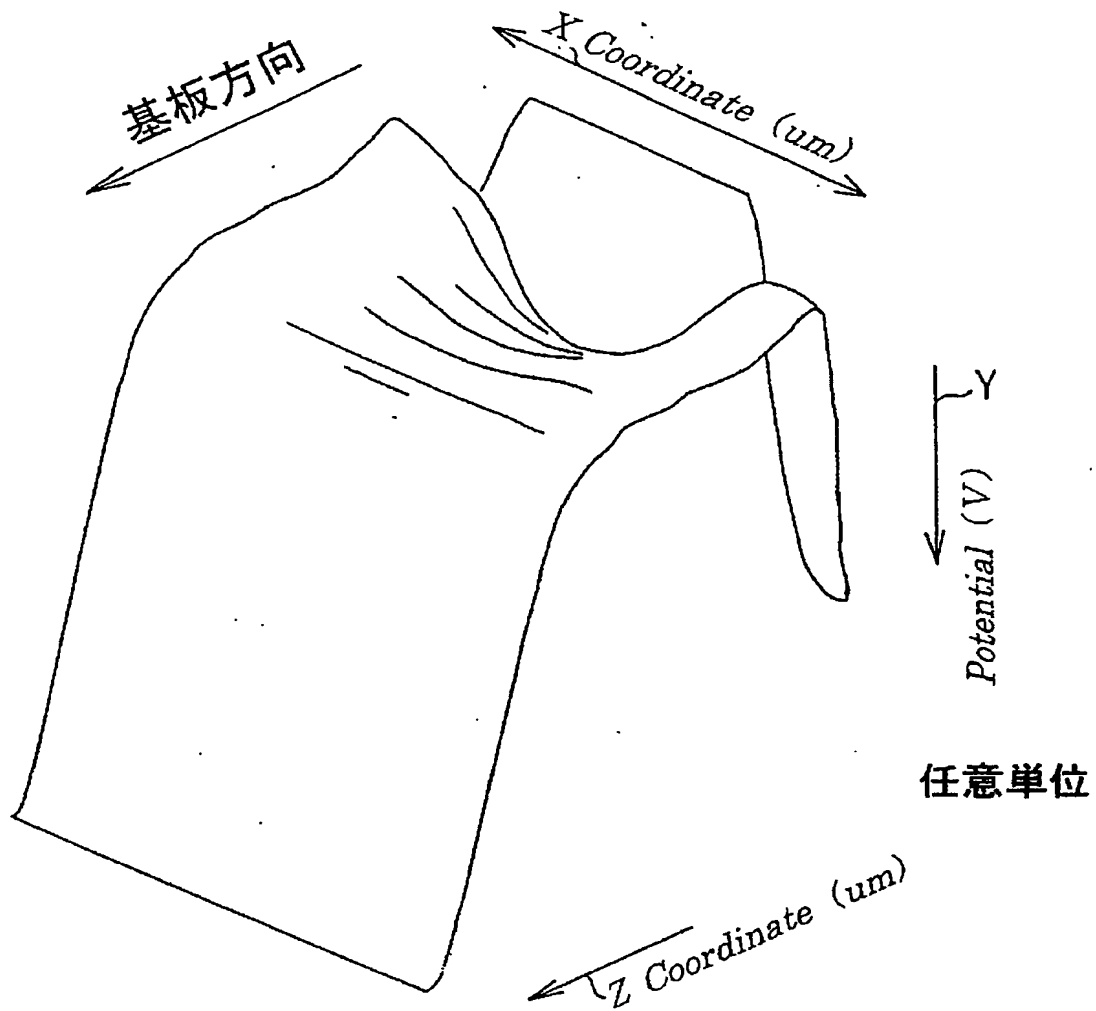
【符号の説明】

110……半導体基板、110A……N型基板、110B……P型層、122……フォトセンサ、122A……P+層、122B……N層、124……垂直転送レジスタ、126……チャネルストップ領域、128……オーバーフローバリア、142……絶縁膜、144……転送電極、146……遮光膜、150……P型領域。

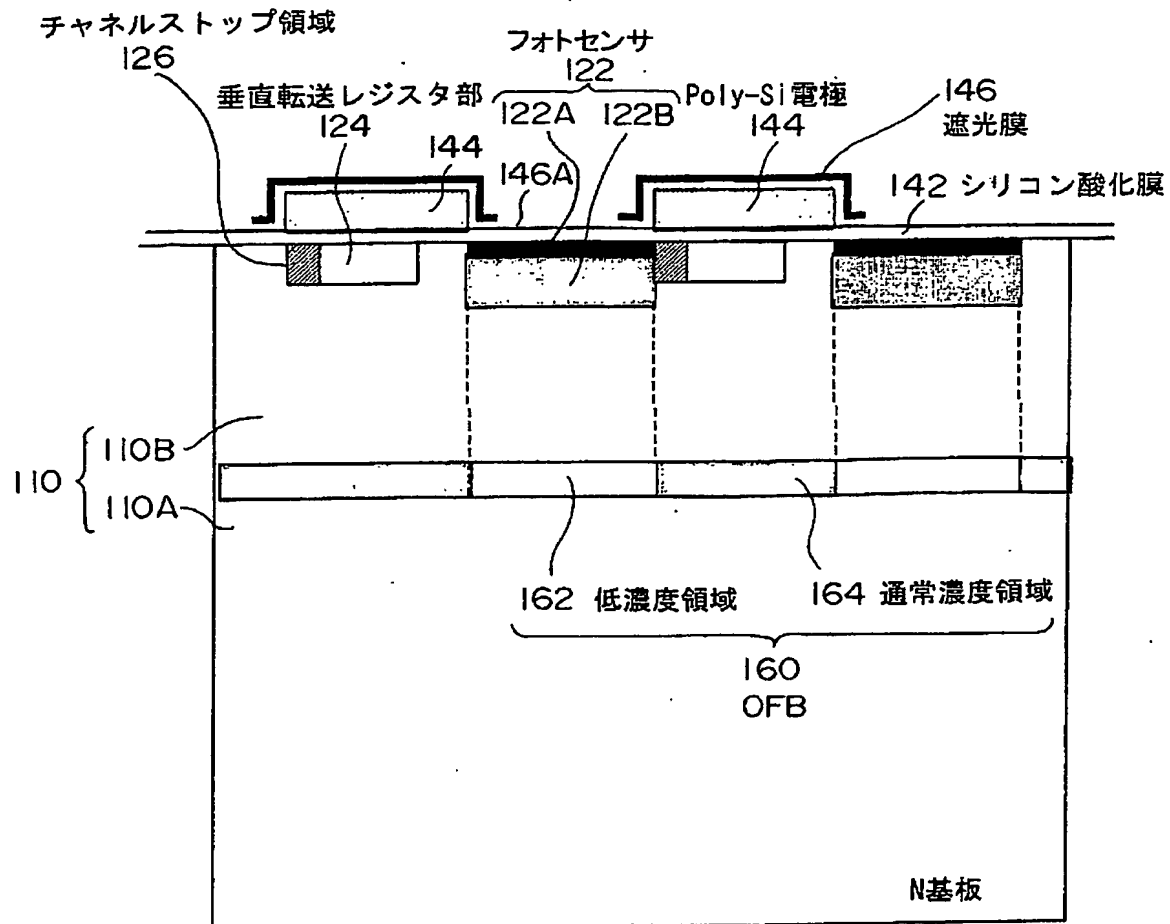
【図 2】



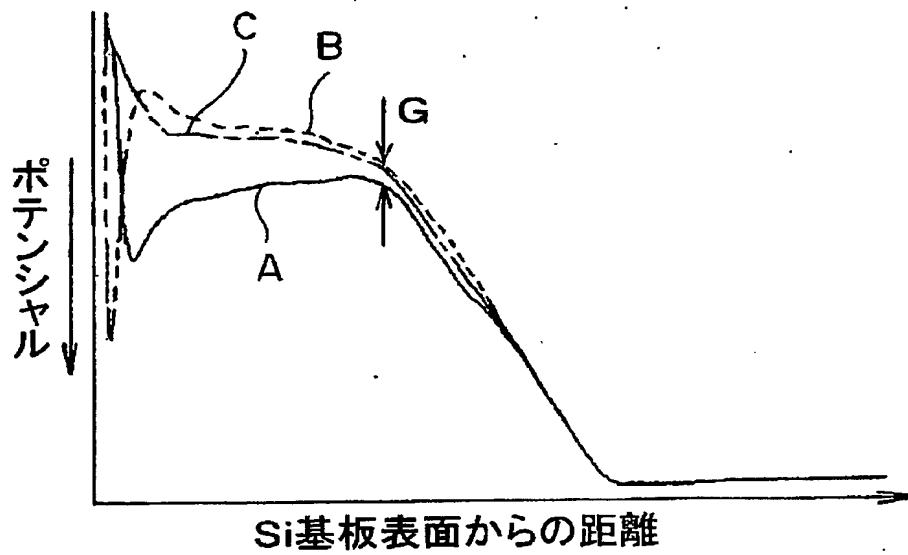
【図 3】



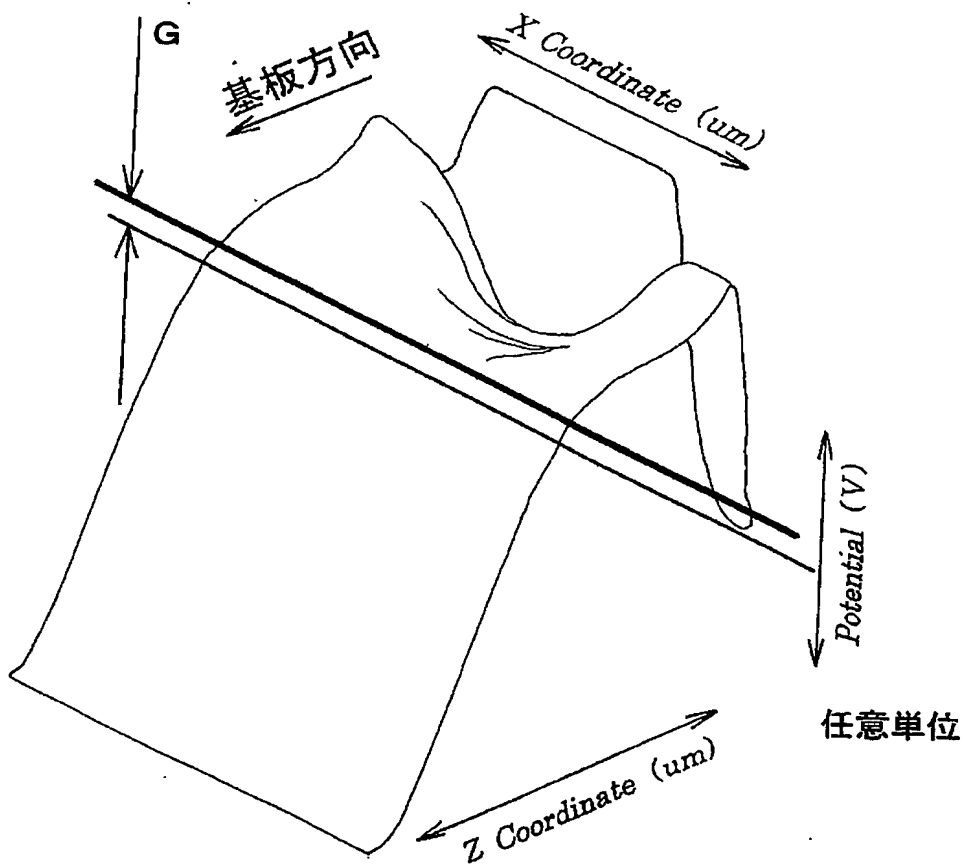
【図 4】



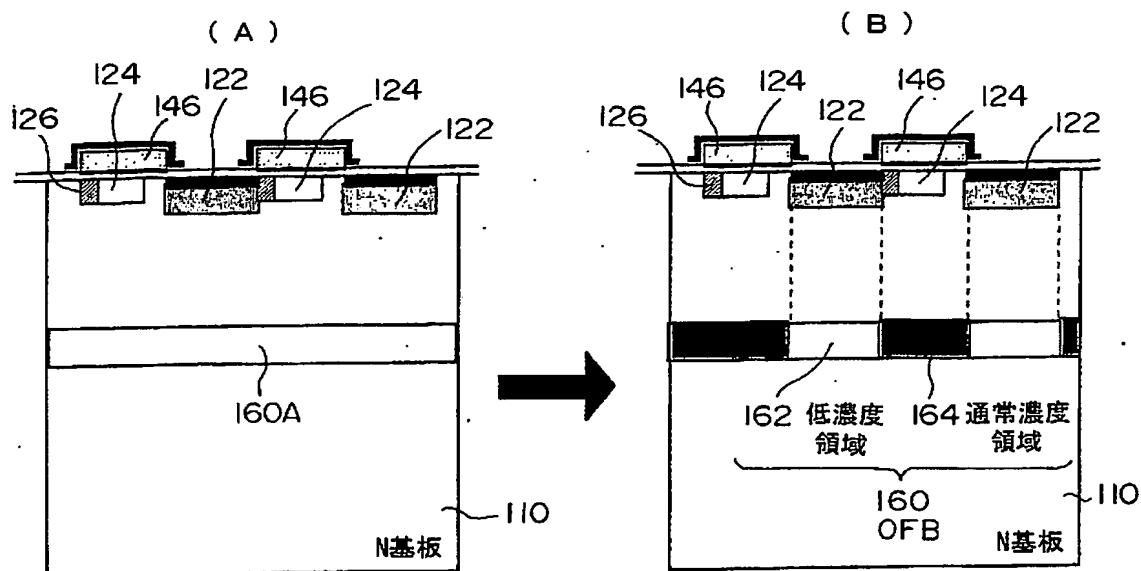
【図 5】



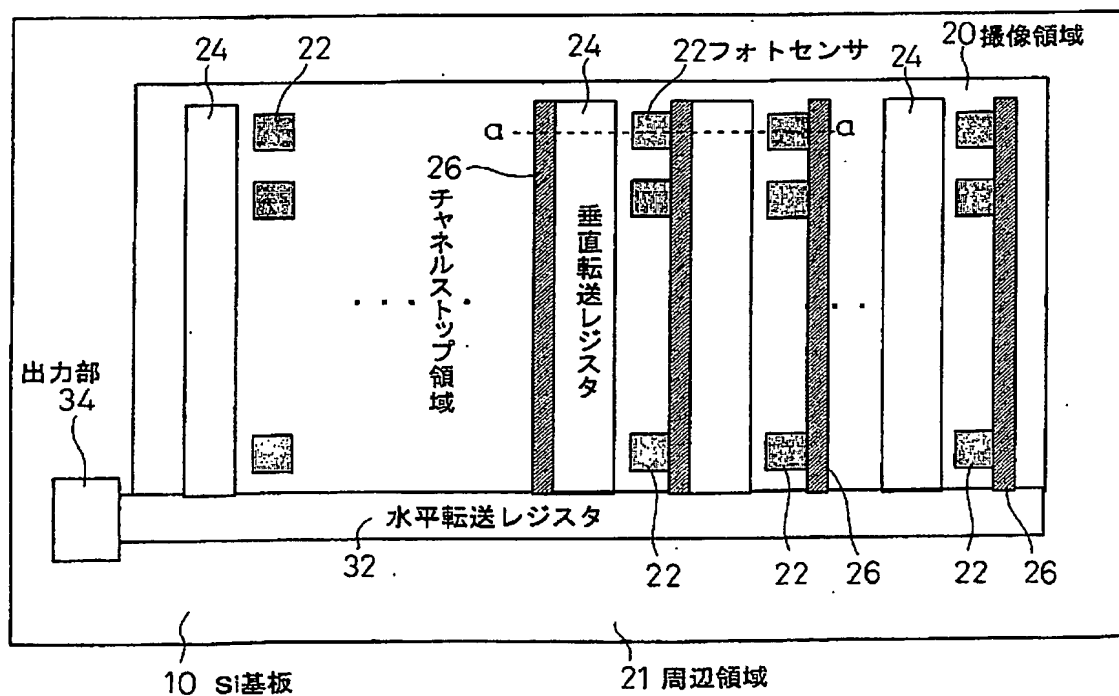
【図 6】



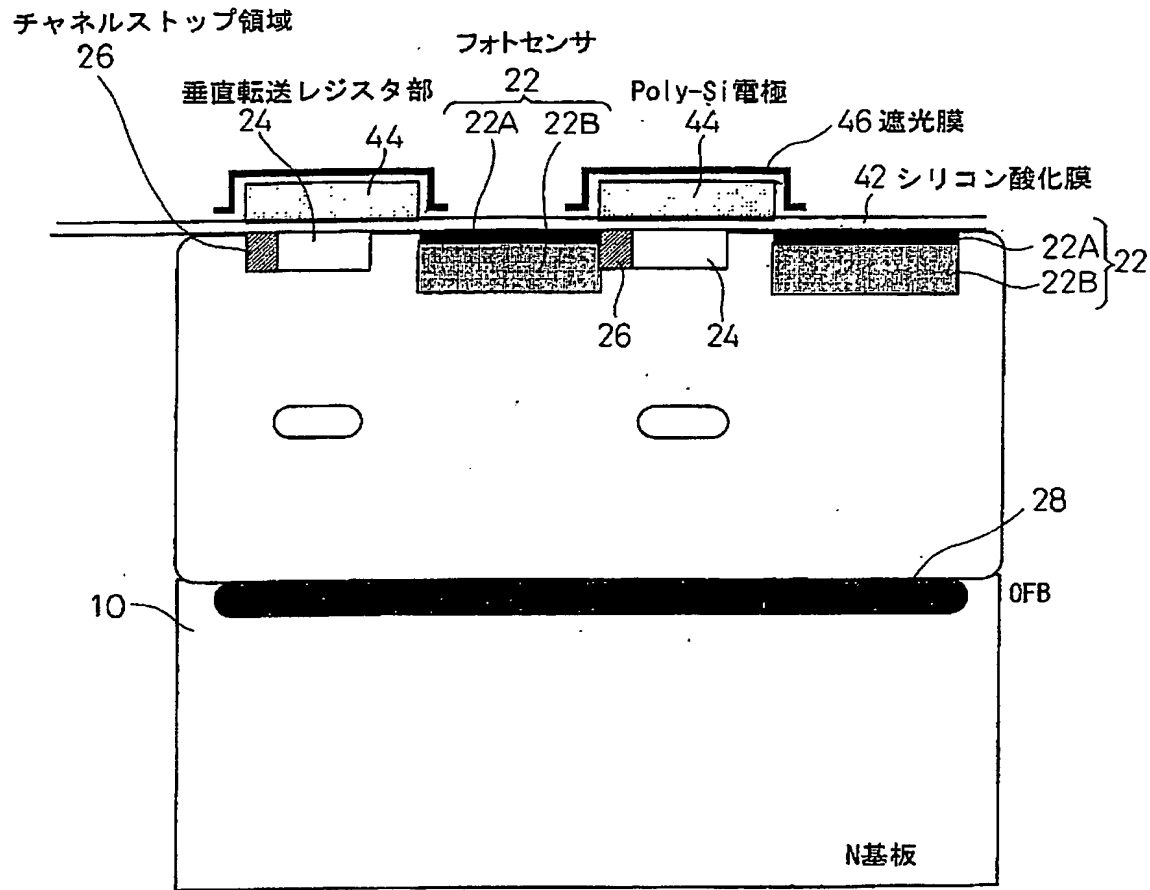
【図 7】



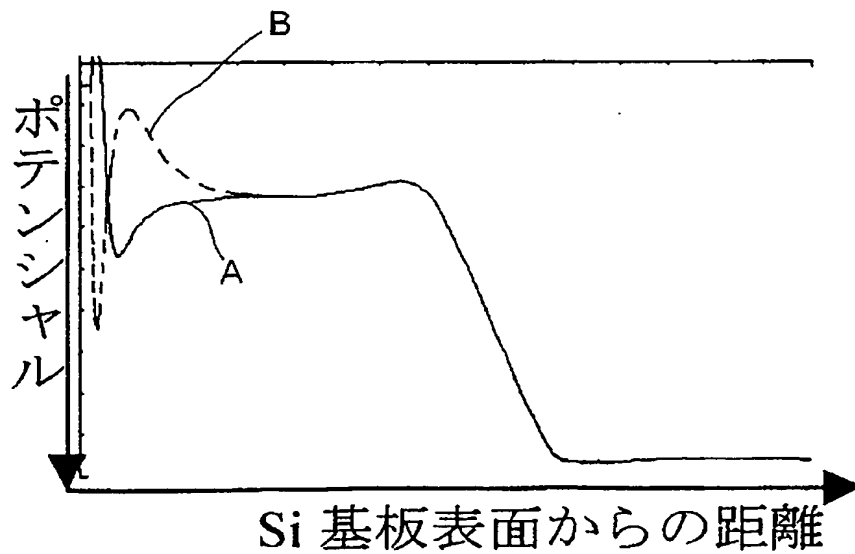
【図 8】



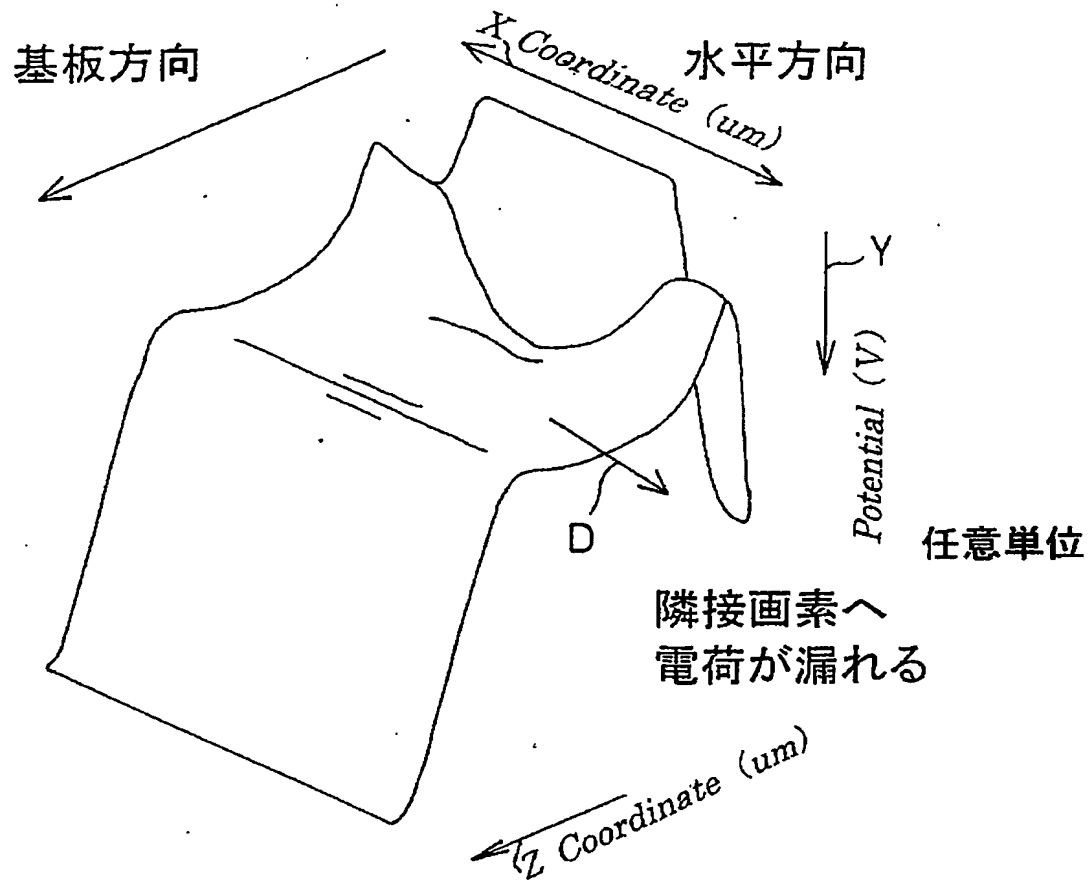
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 オーバーフローバリアを基板の深部に設けた構造で隣接する画素間のクロストークを防止する。

【解決手段】 垂直転送レジスタ124及びチャネルストップ領域126の下層領域の所定位置に、部分的なP型領域150を形成し、このP型領域150によって垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルを調整して、垂直転送レジスタ124の最小ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャルより低くなるように形成する。したがって、センサ領域で光電変換された電荷は、両側の垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルが低いため、このポテンシャルバリアに遮られて、容易に拡散できない状態となり、隣接画素のクロストークを防止できる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-324613
受付番号	50201686319
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月13日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川6丁目7番35号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人	
【識別番号】	100089875
【住所又は居所】	東京都新宿区神楽坂4丁目2番地 山本ビル401号 野田特許事務所
【氏名又は名称】	野田 茂

次頁無

特願 2002-324613

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.